

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-022857**
 (43)Date of publication of application : **25.01.1990**

(51)Int.CI. **H01L 27/06**
H01L 21/331
H01L 29/73

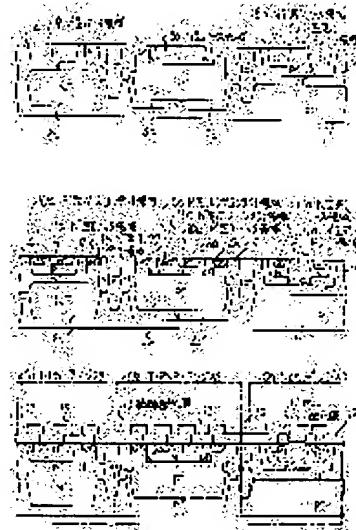
(21)Application number : **63-173220** (71)Applicant : **NEC CORP**
 (22)Date of filing : **11.07.1988** (72)Inventor : **NOGUCHI YASUO**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enhance a high-frequency characteristic by a method wherein an N-type base region is formed newly inside an N- type epitaxial layer and N-type source and drain regions whose concentration is lower than that of N+ type source and drain regions are formed simultaneously so as to include the N+ source and drain regions at their inside.

CONSTITUTION: In a Bi-MOS integrated circuit device, a high-concentration N-type base region 8a is formed in a T-PNP transistor Q2. During the same process as this, first N-type source and drain regions 8b whose concentration is lower than that of N+ type source and drain regions of an N-ch transistor Q3 and which are deeper than these regions are formed at their outside so as to include the regions at their inside. When a P-channel transistor Qa exists, its N-type well region is formed simultaneously in the same manner by utilizing a formation process of the N-type base region 8a; accordingly; it is possible to relax a concentration gradient at a junction face between a well region and source and drain regions in a MOS transistor. Accordingly, it is possible to realize the high breakdown strength of an N-channel transistor and a P-channel transistor. At the same time, it is possible to improve the punchthrough breakdown strength, a current characteristic of a grounded-emitter current amplification factor (hFE) and a frequency characteristic of the T-PNP transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

平2-22857

⑬ Int. Cl. 5

H 01 L 27/06
21/331
29/73

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月25日

7735-5F H 01 L 27/06
8526-5F 29/72

321 A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭63-173220

⑯ 出願 昭63(1988)7月11日

⑰ 発明者 野口 靖夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑯ 代理人 弁理士 内原 晋

明細書

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にバイポーラ・トランジスタとMOSトランジスタとが同一基板上に形成されるBi-MOS集積回路装置の製造方法に関する。

〔従来の技術〕

高性能の縦型PNPトランジスタとして開発された三重拡散型PNPトランジスタ（以下T-PNPトランジスタという）は、縦形NPNトランジスタ（以下単にNPNトランジスタという）と相補性が良いのでアナログ・デジタル共存型のBi-MOS集積回路装置が開発され、実用化されている。

第3図は三重拡散型PNPトランジスタを含む従来のアナログ・デジタル共存型Bi-MOS集積回路装置の構造例を示す断面図である。ここで、Q₁、Q₂およびQ₃はそれぞれNPNトランジスタ、T-PNPトランジスタおよびNチャネルMOSトランジスタ（以下単にNchトラン

発明の名称

半導体装置の製造方法

特許請求の範囲

P型シリコン基板上のN型エピタキシャル層に埋込層を含む三重拡散型PNPトランジスタとウェル領域を含むMOS型トランジスタとを互いに隣接して形成する半導体装置の製造方法において、前記三重拡散型PNPトランジスタのベースを形成する前記N型エピタキシャル層内にN型ベース領域を新たに形成すると共に、前記N型ベース領域と同一工程で前記MOS型トランジスタのN型ウェル領域またはP型ウェル領域上のN型ソース、ドレイン領域をそれぞれ内部に包み込む前記N型ソース、ドレイン領域より低濃度のN型ソース、ドレイン領域を同時形成することを特徴とする半導体装置の製造方法。

ジスタという)で、NchトランジスタQ₁によりデジタル部が構成される。この集積回路装置の構造はつぎの方法で製造される。まず、P⁺型シリコン基板1上にN⁺形埋込層2aおよび2bを選択的に形成した後、ついでP⁺埋込層3aおよび3bをそれぞれ選択形成し、更にN⁺型エピタキシャル層4を基板全面に成長させる。この際、P⁺形埋込層3aはN⁺形エピタキシャル層4への外方拡散を大きくしてフローティング領域とされる。つぎに、T-PNPトランジスタQ₂のP⁺型コレクタ領域5aおよびP⁺型絶縁分離領域5bをP⁺型埋込層3a及び3bとそれぞれ連続するように形成する。ついで、NPNトランジスタQ₁のN⁺型コレクタ領域6をN⁺型埋込層2aと連続するように形成した後、NchトランジスタQ₃のP型ウェル領域7を形成する。つぎにNPNトランジスタQ₁のP型ベース領域9を形成した後、このNPNトランジスタQ₁のP⁺型ベース・コンタクト領域10aおよびT-PNPトランジスタQ₂のP⁺型エミッタ領域10b,

P⁺型コレクタ・コンタクト領域10cを一つの拡散工程で同時に形成する。ついで、NPNトランジスタQ₁のN⁺型エミッタ領域11a、N⁺型コレクタ・コンタクト領域11b、T-PNPトランジスタQ₂のN⁺型ベース・コンタクト領域11cおよびNchトランジスタQ₃のN⁺型ソース、ドレイン領域11dを同じく同時に形成した後、NchトランジスタQ₃のゲート酸化膜12を形成し、更に絶縁酸化膜13を開口してアルミ電極配線をそれぞれのトランジスタに設ければ完成する。

〔発明が解決しようとする課題〕

このように、上述した従来の製造方法は、NchトランジスタQ₃のN⁺型ソース、ドレイン領域11dをNPNトランジスタQ₁のN⁺型エミッタ領域11a、N⁺型コレクタ・コンタクト領域11bおよびT-PNPトランジスタQ₂のN⁺型ベース・コンタクト領域11cと拡散工程を共通にして同時に高濃度で浅く形成するので、形成されるソース、ドレイン領域11dのP型ウェル

領域7との接合面の濃度勾配が急峻となり、ドレイン近傍における電界強度を強めてソース、ドレイン耐圧を低めるという欠点がある。

また、T-PNPトランジスタQ₂のベース領域を低濃度のN⁺形エピタキシャル層4で形成しているので、形成されるT-PNPトランジスタQ₂のパンチスルーノード耐圧が低く、且つエミッタ接地電流増幅率(h_{FE})の電流特性も悪いという不都合を生じている。すなわち、低電流領域においてはエミッタ接地電流増幅率(h_{FE})のリニアリティが悪く、高電流領域においては電流に対するエミッタ接地電流増幅率(h_{FB})の伸び、すなわち最大コレクタ電流(I_{Cmax})が小さいという好ましからざる問題点を生じており、更にまた、形成される素子の遮断周波数(f_T)が小さく、高周波特性も悪いという種々の欠点を含んでいる。

本発明の目的は、上記の情況に鑑み、B1-MOS構造におけるMOSトランジスタのソース、ドレイン耐圧および三重拡散型PNPトランジスタのパンチスルーノード耐圧、エミッタ接地電流増

幅率、遮断周波数等の高周波特性を改善することができる半導体装置の製造方法を提供することである。

〔課題を解決するための手段〕

本発明によれば、P型シリコン基板上のN⁺型エピタキシャル層に埋込層を含む三重拡散型PNPトランジスタとウェル領域を含むMOS型トランジスタとを互いに隣接して形成する半導体装置の製造方法は、前記三重拡散型PNPトランジスタのベースを形成する前記N⁺型エピタキシャル層内にN型ベース領域を新たに形成すると共に、前記N型ベース領域と同一工程で前記MOS型トランジスタのN型ウェル領域またはP型ウェル領域上のN⁺型ソース、ドレイン領域をそれぞれ内部に包み込む前記N⁺型ソース、ドレイン領域より低濃度のN型ソース、ドレイン領域を同時に形成することを含んで構成される。

〔実施例〕

以下図面を参照して本発明を詳細に説明する。

第1図(a)～(e)は本発明の一実施例を示

す三重拡散型PNPトランジスタを含むBi-MOS集積回路装置の製造工程図である。本実施例によれば、まず第1図(a)に示すように、比抵抗1~100Ω·cmのP+型シリコン基板1に例えればヒ素(As)あるいはアンチモン(Sb)のドープにより10~40Ω/□のN+型埋込層2aおよび2bをそれぞれ選択形成した後、例えれば、ボロン(B)のドープにより200~500Ω/□のP+型埋込層3aおよび3bをそれぞれ形成し、その後比抵抗0.5~2Ω·cmの低濃度N-型エビタキシャル層4を基板全面に成長させる。ここで、P+型埋込層3aはN+型埋込層2b内に形成し、且つN-型エビタキシャル層4への外方拡散を大きくしてフローティング領域とする。つぎに第1図(b)に示すように、P+型埋込層3aの端部およびP+型埋込層3b上に例えればボロン(B)をそれぞれドープして、5~50Ω/□のT-PNPトランジスタQ2のP+型コレクタ領域5aおよびP+型絶縁分離領域5bをそれぞれP+型埋込層3aおよび3bと連続するよう

に形成し、ひき続きNPNトランジスタQ1のN+型コレクタ領域6をN+型埋込層2aと連続するように、例えればリン(P)のドープにより5~50Ω/□で形成すると共に、NchトランジスタQ3のP型ウェル領域7を、例えればボロン(B)ドープにより3~5kΩ/□で形成する。ここで、第1図(c)に示すように、P型ウェル領域7内にNchトランジスタQ3のN型第1ソース、ドレイン領域8bをT-PNPトランジスタQ2のN型ベース領域8aと同時にそれぞれ形成する。この領域8a、8bは、例えれば、リン(P)ドープにより1~3kΩ/□に形成される。ついで、NPNトランジスタQ1のP形ベース領域9を、例えれば、ボロン(B)のドープにより1~3kΩ/□で形成する。つぎに第1図(d)に示すように、T-PNPトランジスタQ2のN型ベース領域8aおよびP+型コレクタ領域5a内のP+型エミッタ領域10bおよびP+型コレクタ・コンタクト領域10cとNPNトランジスタQ1のP型ベース領域9内のP+型

ベース・コンタクト領域10aを、例えれば、ボロン(B)ドープにより3~7Ω/□でそれぞれ同時に形成し、ついで、NPNトランジスタQ1のP型ベース領域9およびN+型コレクタ領域6内のN+型エミッタ領域11aおよびN+型コレクタ・コンタクト領域11bとT-PNPトランジスタQ2のN型ベース領域8aおよびNchトランジスタQ3のN型第1ソース、ドレイン領域8b内のN+型ベース・コンタクト領域11cおよびN+型第2ソース、ドレイン領域11dを、例えれば、リン(P)ドープにより3~7Ω/□でそれぞれ同時に形成する。あとはNchトランジスタQ3、ゲート酸化膜12を500~800Åの膜厚に形成し、絶縁酸化膜13を開口してそれぞれの電極配線を設ければ、第1図(e)に示す如きNPNトランジスタQ1、T-PNPトランジスタQ2およびNchトランジスタQ3を含むBi-MOS構造の集積回路装置を得る。

本実施例によれば、Nchトランジスタのソース、ドレイン領域は2つの異なる濃度の2層構造

とされ、P型ウェルとの境界面には比較的濃度の薄いN型層が介在せしめられるので、ウェル領域とソース、ドレイン領域との接合面の濃度勾配は従来構造のものより緩和される。

第2図は本発明の他の実施例によって構造されたBi-MOS集積回路装置の断面図である。本実施例によれば、PchトランジスタQ4がT-PNPトランジスタQ2およびNchトランジスタQ3と共に形成される場合が示され、N型ウェル領域18cとNchトランジスタQ3のN型第1ソース、ドレイン領域8bとがそれぞれT-PNPトランジスタQ2のN型ベース領域8aの形成工程で同時に形成される。すなわち、本実施例によれば、比較的高濃度のN型ウェル領域8cを備えたPchトランジスタQ4を形成することができる。従って、P+型ソース、ドレイン領域10dをT-PNPトランジスタQ2のP+型エミッタ領域10b、P+型コレクタ・コンタクト領域10cおよびNPNトランジスタQ1(図示しない)のP+型ベース・コンタクト領域10a

と同時に形成したとしても、PchトランジスタQ₄におけるN型ウェル領域8cとP⁺型ソース、ドレイン領域10dとの接合面の温度勾配は従来構造のものより緩和される。本実施例によると工程を何んら増やすことなくPchトランジスタを形成できるので、きわめて容易にCMOS集積回路装置を得ることが可能である。また、このPchトランジスタは、温度バラツキの大きいN⁻形エビタキシャル層内に、例えば、リン(P)のイオン注入により形成された温度バラツキの小さいN型ウェル領域を有しているので、しきい値電圧のコントロール性が良好であるという利点を有する。

〔発明の効果〕

以上詳細に説明したように、本発明によれば、
 Bi-MOS 築積回路装置は、T-PNP トランジスタに比較高濃度の N 型ベース領域を形成する工程を有し、また、これと同じ工程で Nch トランジスタの N⁺ 型ソース、ドレイン領域を内に包むように、その外側にこれよりも低濃度でかつ

深いN型第1ソース、ドレイン領域を形成しており、また、Pchトランジスタが存在する場合は、このN型ウェル領域を同じようにこのN型ベース領域の形成工程を利用して同時形成するので、MOSトランジスタにおけるウェル領域とソース、ドレイン領域との接合面の温度勾配を緩和することができる。従って、NchおよびPchの各トランジスタの高耐圧化を図ることができ、同時にT-PNPトランジスタのパンチスルーノード、エミッタ接地電流増幅率(h_{FE})の電流特性および周波数特性の改善を達成せしめる等の顕著なる効果を奏し得る。

すなわち、まず、MOSトランジスタにおいては、ソース、ドレイン領域とウェル領域との接合における濃度勾配が従来よりも緩やかになり、ドレイン近傍での電界強度が緩和されるので、ソース、ドレイン耐圧を高くすることが可能となる。つぎに、T-PNPトランジスタにおいては、ベース・コレクタ接合でのベース側への空乏層の伸びが抑えられるためにパンチスルーネットが高く

なり、また、エミッタ・ベース接合における空乏層が従来よりも減少し、空乏層内の再接合電流が減少するので、エミッタ接地電流増幅率 (h_{FE}) のリニアリティが上昇する。また、エミッタ領域直下のベース領域が高温度になりウエブスター (Webster) 効果の影響が緩和されるので、最大コレクタ電流 (I_{Cmax}) が上昇する。更にまた、新たに設けたN型ベース領域は不純物濃度勾配を有し、これがエミッタから注入される正孔に対して加速電界となるよう作用すること、および同じバンチスルーパー耐圧を保証する場合であればエビタキシャル層を薄くすることができベース幅が小さくなることから、遮断周波数 (f_T) が大きくなる。すなわち、高周波特性が格段に向上することとなる。

図面の簡単な説明

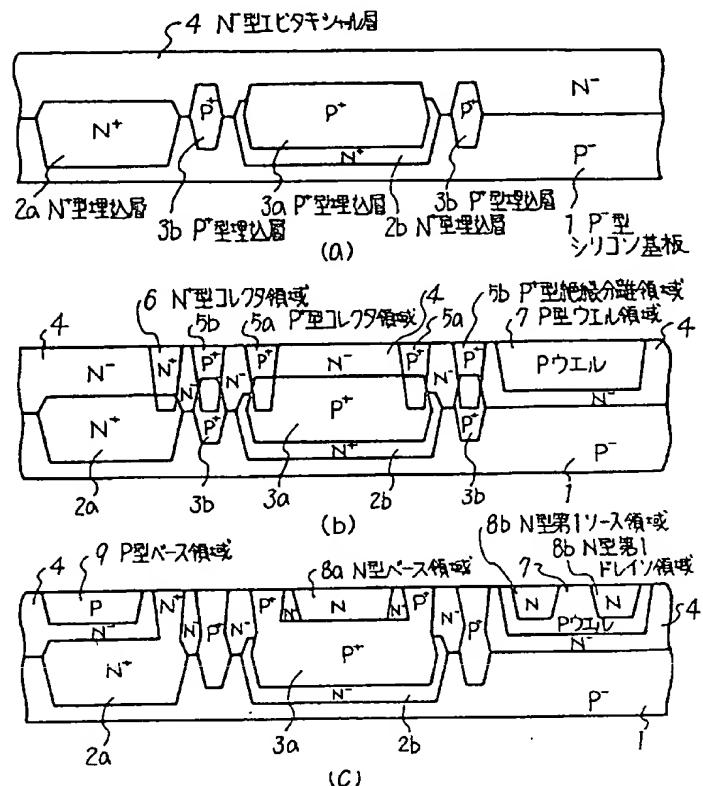
第1図(a)～(e)は本発明の一実施例を示す三重拡散型PNPトランジスタを含むBi-MOS集積回路装置の製造工程図、第2図は本発明の一実施例を示す三重拡散型PNPトランジスタを含むBi-MOS集積回路装置の構造図である。

明の他の実施例によって製造された Bi-MOS
集積回路装置の断面図、第3図は三重拡散型PN
Pトランジスタを含む従来のアナログ・デジ共存
型 Bi-MOS 集積回路装置の断面図である。

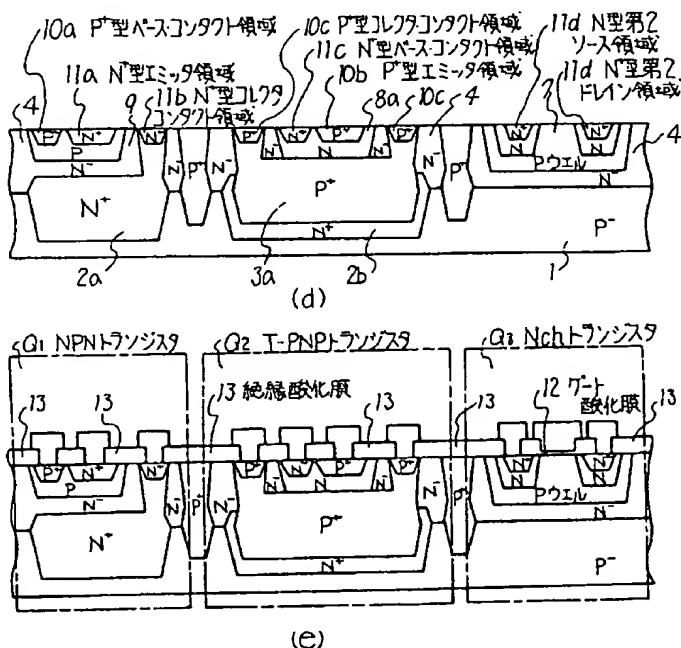
1 … P- 型シリコン基板、2 a, 2 b … N+ 型埋込層、3 a, 3 b … P+ 型埋込層、4 … N- 形エビタキシャル層、5 a … P+ 型コレクタ領域、5 b … P+ 型絶縁分離領域、6 … N+ 型コレクタ領域、7 … P 型ウェル領域、8 a … N 型ベース領域、8 b … N 型第1ソース、ドレイン領域、8 c … N 型ウェル領域、9 … P 型ベース領域、10 a … P+ 型ベース・コンタクト領域、10 b … P+ 型エミッタ領域、10 c … P+ 型コレクタ・コンタクト領域、10 d … P+ 型ソース、ドレイン領域、11 a … N+ 型エミッタ領域、11 b … N+ 型コレクタ・コンタクト領域、11 c … N+ 型ベース・コンタクト領域、11 d … N+ 型第2ソース、ドレイン領域、12 … ゲート酸化膜、13 … 絶縁酸化膜、Q₁ … NPNトランジスタ、Q₂ … T-PNPトランジスタ、Q₃ … Nchトランジ

スタ、Q₄…Pchトランジスタ。

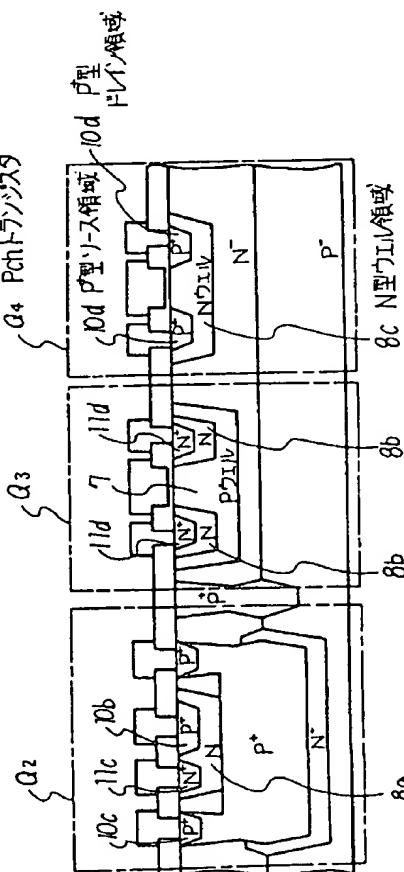
代理人 井理士 内 原 骨



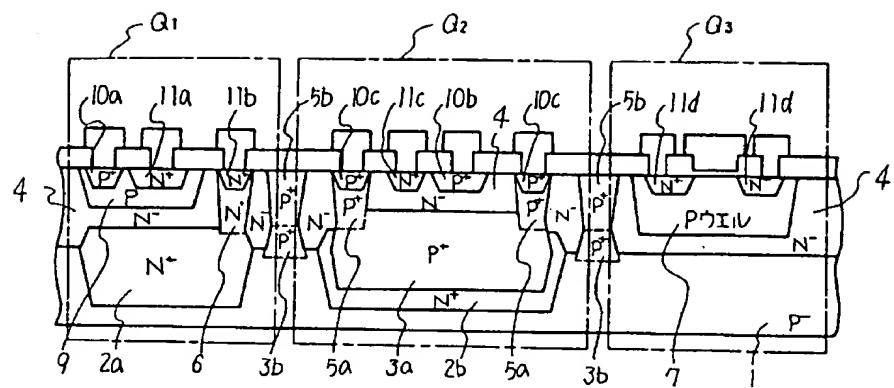
第1図



第1図



第2図



第3図